



STZ

Approved for use through 07/31/2008. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE  
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/783,596	
	Filing Date	02/19/04	
	First Named Inventor	Yu Hsu Lin	
	Art Unit	2817	
	Examiner Name	LEE, BENNY T	
Total Number of Pages in This Submission	25	Attorney Docket Number	

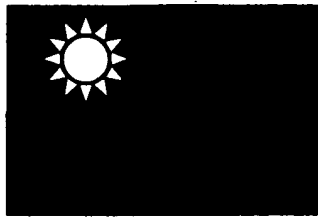
ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Reply to Missing Parts/Incomplete Application <input type="checkbox"/> Reply to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____ <input type="checkbox"/> Landscape Table on CD	<input type="checkbox"/> After Allowance Communication to TC <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT			
Firm Name	Wei Te Chung (Foxconn International, Inc.)		
Signature			
Printed name	Wei Te Chung		
Date		Reg. No.	43,325

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below:			
Signature			
Typed or printed name	Wei Te Chung	Date	Jan 20 2006

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereun

申 請 日：西元 2003 年 11 月 11 日  
Application Date

申 請 案 號：092131469  
Application No.

申 請 人：鴻海精密工業股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2004 年 2 日  
Issue Date

CERTIFIED COPY OF  
PRIORITY DOCUMENT

發文字號：093201403  
Serial No.

申請日期： 92.11.11	IPC分類
申請案號： 92.3.1469	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	消除高速數位電路串擾之差分對排佈方式
	英 文	Arrangement of Differential Pairs for Eliminating Crosstalk in High Speed Digital Circuit
二、 發明人 (共2人)	姓 名 (中文)	1. 林有旭 2. 葉尚蒼
	姓 名 (英文)	1. LIN, YU-HSU 2. YEH, SHANG-TSANG
	國 籍 (中英文)	1. 美國US 2. 中華民國ROC
	住居所 (中 文)	1. 美國加州95050聖塔克勒拉市梅摩瑞克道1650號 2. 台北縣土城市自由街2號
	住居所 (英 文)	1. 1650 Memorex Drive, Santa Clara, CA 95050, USA 2. 2, Tzu Yu Street, Tu-Cheng City, Taipei Hsien, Taiwan, ROC
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 鴻海精密工業股份有限公司
	名稱或 姓 名 (英文)	1. HON HAI PRECISION INDUSTRY CO., LTD.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 台北縣土城市自由街2號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2, Tzu Yu Street, Tu-Cheng City, Taipei Hsien, Taiwan, ROC
	代表人 (中文)	1. 郭台銘
	代表人 (英文)	1. GOU, TAI-MING



四、中文發明摘要 (發明名稱：消除高速數位電路串擾之差分對排佈方式)

一種用於消除高速數位電路串擾之差分對排佈方式，包括第一差分對和第二差分對，每組差分線均係由兩根差分導線組成。該第一差分對和第二差分對呈幾何多邊形排列，並且可以至少有一對差分對之導線係位於高速數位電路之介電常數  $\epsilon_r$  不同佈線層，亦可以同一對差分對之導線位於介電常數  $\epsilon_r$  相同之高速數位電路之佈線層。其中，第一差分對和第二差分對均可作為干擾源或被干擾對象，並且通過恰當之位置排配，差分對中干擾源作用於被干擾對象上之串擾可以被消滅至最小甚至為零。

【本案指定代表圖及說明】

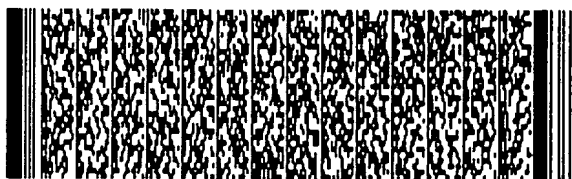
(一) 本案指定代表圖為：第二圖

(二) 本案代表圖之元件符號簡單說明：

第一差分對	220	第二差分對	230
差分導線	221、222	差分導線	231、232

六、英文發明摘要 (發明名稱：Arrangement of Differential Pairs for Eliminating Crosstalk in High Speed Digital Circuit)

An arrangement of differential pairs for eliminating crosstalk in a high speed digital circuit have a first differential pair and a second differential pair. Each differential pair comprises two signal traces. The first differential and the second differential form a polygonal shape. The two signal traces of one differential pair can be disposed either in a same



四、中文發明摘要 (發明名稱：消除高速數位電路串擾之差分對排佈方式)

六、英文發明摘要 (發明名稱：Arrangement of Differential Pairs for Eliminating Crosstalk in High Speed Digital Circuit)

layers or in two different layers of the high speed digital circuit. The first and the second differential pairs can each act as a driven pair or a victim pair. By properly arranging the first and second differential pairs, the resultant crosstalk on the victim pair induced by the driven pair is substantially zero or negligible.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本創作係關於一種高速數位電路的差分對佈線方式，尤指一種能夠消除高速數位電路中串擾之差分導線組合方式。

### 【先前技術】

串擾之起因是由於一個信號在傳輸通道上傳輸時，因電磁耦合而對相鄰近之傳輸線產生影響，在被干擾之信號上表現為注入了一定的耦合電壓和耦合電流。在數位電路設計領域中，串擾是廣為存在的，而且隨著信號速率之提高和產品外型尺寸越來越小，數位系統總串擾也急劇增加，過大之串擾會影響到系統性能，甚至引起電路之誤觸發，導致系統無法正常工作。

針對這種情況，業界通常所採用的方法之一便是利用差分式佈線方式，常用方式之一如第一圖所示，圖中有第一差分對120和第二差分對130兩組差分對，該兩組差分對係位於同一佈線層並行排開。若以100歐姆的差分導線為例，其線寬為5密耳(mil)，則差分導線之間距維持在10密耳左右，但是差分對與對之間的佈局規則需要間隔盡可能大，方能減小差分對與對之間的相互干擾，即使以20密耳計，則在PCB板上按照此種方式佈局兩組差分對也估計需要80密耳之空間，這與當PCB板之佈局密集之要求顯然不能相容，雖然，也可以採取減小差分導線寬度之做法，但是，這樣會提昇製作工藝上之難度，增加工業成本。

因此，若想有效的消除高速數位電路中之串擾，差分

## 五、發明說明 (2)

對的佈線排列方式起到了至關重要的作用。美國專利公告第6,017,247揭示了一種差分對佈線方式，每對差分對至少彎折一次，從而可以與相鄰之差分對錯開位置，避免串擾。但是這種佈線方式需要滿足一定之線長關係，方能有效之消除串擾，而這樣無疑會使得佈線變得更加錯綜複雜，增加佈線的長度及密度，不適用於高密度佈線之電路格局。

因此，實有必要提供一種適用於高密度高速數位電路且佈局更為合理之差分佈線方式，以有效消除串擾信號之影響。

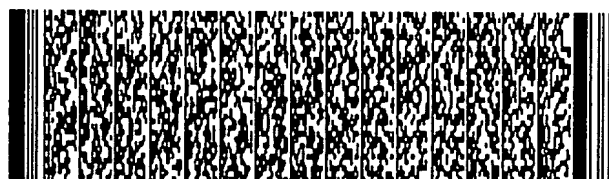
### 【內容】

本創作之目的之一在於提供一種無須受到任何佈線長度限制之可用於高速數位電路之差分對排佈方式。

本創作之目的之二在於提供一種串擾可被有效削弱甚至在某些情況下可以抵消之差分對排佈，從而可以獲得差分對上所受串擾趨近於零之預期結果。

本創作之目的之三在於提供一種可在不損害內部阻抗兼容性之前提下將串擾消滅為零之導體排佈方式。

本創作之特徵在於該第一差分對和第二差分對之差分導線之佈線長度不受任何限制，且四條差分導線始終平行分佈。從高速數位電路之縱向剖面看去，四條差分導線係呈幾何多邊形排列。該第一差分對和第二差分對之排列形狀有多種組合變化，可以至少有一對差分對之導線係位於高速數位電路之介電常數  $\epsilon_r$  不同佈線層，亦可以同一對差





### 五、發明說明 (3)

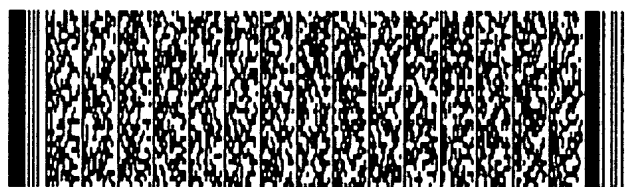
分對之導線位於介電常數  $\epsilon_r$  相同之高速數位電路之佈線層，位於高速數位電路中介電常數  $\epsilon_r$  不同佈線層之導線因阻抗匹配信號傳輸滯後等問題其導線寬度及厚度會出現差異。其中，第一差分對和第二差分對均可作為干擾源或被干擾對象。通過恰當之位置排配，差分對中干擾源作用於被干擾對象上之串擾可以被消滅至最小甚至為零。

本創作之優點在於可以在有效節省佈線空間之同時，將串擾減少至最小甚至為零，順應了高速數位電路發展之需求。

#### 【實施方式】

在高速數位電路中，串擾之大小與佈線間之間距成反比，與佈線間的平行長度成正比，同時影響串擾之因素還包括：導線之寬度，導線之厚度，介質之介電常數，介質之厚度，焊盤之厚度，地線之路徑以及佈線週邊之佈線等等，因此，在佈線之時，要綜合協調多方面因素，最終獲取減小串擾甚至使之為零的效果。

本案之較佳實施例之一如第二圖所示，該圖係為處於介電常數  $\epsilon_r$  相同之材質中呈矩形排列之差分對排佈，其中，該圖中共有第一差分對220和第二差分對230兩組差分對，其中該第一差分對220係由差分導線221、222組成，該第二差分對230係由差分導線231、232組成。該兩組差分對互為干擾，每一差分導線上所受到的串擾表現為其他相鄰各條導線對其串擾的綜合結果。如，將第一差分對220作為干擾源(Aggressor)，第二差分對230作為被干擾



#### 五、發明說明 (4)

對象(Victim)來分析，那麼，被干擾對象之差分導線231受到串擾表現為來自干擾源差分導線221和干擾源差分導線222上之綜合結果，並且，由於差分導線221處於正相位，而差分導線222處於負相位，其二者施加於被干擾對象之差分導線231上之信號方向相反，其大小與被干擾對象之差分導線231與干擾源差分導線221、干擾源差分導線222之間的距離以及干擾源差分導線221與干擾源差分導線222之間的相互距離均有關係，還與被干擾對象之差分導線231、干擾源差分導線221、干擾源差分導線222各自的導線寬度及厚度相關，因此，可以通過調整被干擾對象之差分導線231、干擾源差分導線221以及干擾源差分導線222之間的相互位置關係來使得干擾源差分導線221、222施加於被干擾對象之差分導線231上之串擾之值相近甚至相等，又因干擾源差線221與干擾源差分導線222施加於被干擾對象之差分導線231上之串擾信號方向相反，這樣就可使得被干擾對象之差分導線231上受到之綜合串擾相互抵消至很小甚至為零，同樣，也可以在被干擾對象差分導線232上獲得大小相同而方向相反之串擾。又因毗鄰之差分對互相干擾，所以干擾源差線221、222其上也會受到被干擾對象之差分導線231、232的串擾，依上述之原理類推，其綜合結果也同樣將會很小甚至趨近於零。

請參看第三圖，該圖係為處於介電常數 $\epsilon_r$ 相同之材質中呈菱形排列之差分對，圖中互為干擾之第一差分對320和第二差分對330分別處於對方差分對位置連線之垂直平

#### 五、發明說明 (5)

分線上，由於這種對稱之位置關係，使得每一差分導線受到之串擾均係大小相等方向相反，可以相互平衡抵消為零，因此，每對差分對所受到之串擾最終為零。

如第四圖所示，該圖係為處於介電常數  $\epsilon_r$  不同之材質中呈倒置梯形排列之差分對，圖中，第一差分對420和第二差分對430中同一組差分導線421、422和431、432分別處於高速數位電路之介電常數不同之材質中，因要兼顧到佈線中所涉及之阻抗匹配及輻射傳播滯後等問題，同一對差分對導線之線寬及厚度等物理條件會出現差異，必要時，還需要通過PCB板上之過孔(Via)來改變導線的佈線層，用以彌補分佈於介電常數不同之佈線層所造成的輻射傳輸滯後時間不一致之等問題。因位置排佈之非對稱性關係，每一差分導線上受到之串擾不能夠完全抵消，但是可獲得每一差分導線上所受之串擾趨近於零之結果。

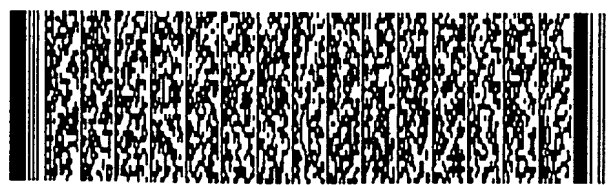
請一併參閱第五圖與第六圖，此兩圖亦係為處於介電常數  $\epsilon_r$  不同之材質中差分對排佈，與第四圖所不同之處在於相互影響之兩對差分對中第二差分對530之差分導線531、532分佈於同一層，而第一差分對520之差分導線521、522則分別位於高速數位電路之不同佈線層，且位於不同佈線層之第一差分對520係位於分佈同一層之第二差分對530之垂直平分線上。顯然，對於第一差分對520上每一差分導線521、522上所受到來自第二差分對530之串擾因其大小相等方向相反，可相互平衡抵消，而第二差分對530之每一差分導線531、532上所分別受到來自第一差分

#### 五、發明說明 (6)

對520之串擾並不能平衡抵消，但若將整組第二差分對530看做一個整體，其所受到之綜合差分串擾則可以獲得完全抵消為零之效果。第六圖之分析情況亦是如此。

在本發明之多種實施例中，差分對之排佈方式也可以如同第七圖所示，在兩對相互干擾之第一差分對720和第二差分對730之間設有一接地層740，該接地層740係位於第一差分對720之正下方，第二差分對730之正上方。該接地層740可以完全屏蔽來自對方差分對的串擾，從而使得每一差分導線上所受之串擾為零。

請一併參看第八圖與第九圖，此兩圖亦為處於介電常數  $\epsilon_r$  不同之材質中之差分對，與第四圖所不同之處在於，此兩圖中同一組差分對之两根差分導線係分布於同一層中，因此同一差分對導線之間不存在物理條件方面差異之問題。在兩圖中，第一差分對與第二差分對之間設有第一接地層和第二接地層，並且第一接地層均係與第一差分對位於同一層，第二接地層均係與第二差分對位於同一佈線層。在第八圖中，該第一接地層850包括兩部分，分別位於第一差分對820兩端，並位於第二差分對830之差分導線831、832之正上方。該第二接地層840則只有一部分，且位於第二差分對830之差分導線831、832之間以及第一差分對820之差分導線821、822之正下方。該第二接地層840和第一接地層850除了可以提高有效阻抗之外，還可以起到屏蔽大部分串擾之功效。由於相互作用之差分對排佈非對稱性問題，每一單端導線上所受到之串擾並不能抵消平



#### 五、發明說明 (7)

衡，但是可以消滅到趨近於零，就整組差分對而言，也是可以獲得差分總和處於誤差可以允許範圍內之效果。在第九圖中，第一接地層950只包括一部分，其係位於第二差分對930之正上方，第二接地層940也只有一部分組成，其係位於第一差分對920之正下方，該接地層940、950亦為提高有效阻抗，屏蔽大部分串擾之功效。通觀以上所述之各實施例，在具體運用中可能會根據實際情況在相關差分導線之鄰近處增添接地層（圖未示），用於調整有效阻抗，同時亦可屏蔽部分串擾，以滿足高速數位電路訊號完整性之要求。

綜上所述，本創作符合發明專利要件，爰依法提出專利申請。惟，以上所述者僅為本創作之較佳實施例，舉凡熟悉本案技藝之人士，在援依本創作精神所作之等效修飾或變化，皆應包含於以下之申請專利範圍內。

## 圖式簡單說明

### 【圖式簡單說明】

第一圖係為習知之差分對排佈方式。

第二圖係為本發明處於介電常數  $\epsilon_r$  相同之材質中呈矩形排列之差分對排佈示意圖。

第三圖係為本發明處於介電常數  $\epsilon_r$  相同之材質中呈菱形排列之差分對排佈示意圖。

第四圖係為本發明處於介電常數  $\epsilon_r$  不同之材質中呈倒置梯形排列之差分對排佈示意圖。

第五圖係為本發明處於介電常數  $\epsilon_r$  不同之材質中呈三角形排列之差分對排佈示意圖。

第六圖係為本發明處於介電常數  $\epsilon_r$  不同之材質中呈倒三角形排列之差分對排佈示意圖。

第七圖係為本發明處於介電常數  $\epsilon_r$  相同之材質中但相互影響之差分對中間隔有接地層之差分對排佈示意圖。

第八圖係為本發明處於介電常數  $\epsilon_r$  不同之材質中呈梯形排列之差分對排佈示意圖。

第九圖係為本發明處於介電常數  $\epsilon_r$  不同之材質中呈平行四邊形排列之差分對排佈示意圖。

### 【主要元件標號】

第一差分對	120	第二差分對	130
第一差分對	220	第二差分對	230
差分導線	221、222	差分導線	231、232
第一差分對	320	第二差分對	330



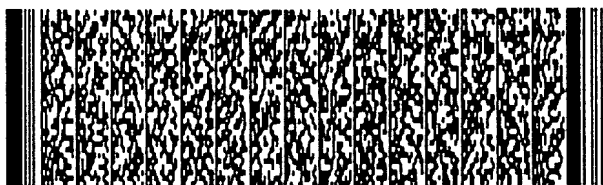
圖式簡單說明

第一差分對	420	第二差分對	430
差分導線	421、422	差分導線	431、432
第一差分對	520	第二差分對	530
差分導線	521、522	差分導線	531、532
第一差分對	720	第二差分對	730
接地層	740	第一差分對	820
第二差分對	830	差分導線	821、822
差分導線	831、832	第一接地層	850
第二接地層	840	第一差分對	920
第二差分對	930	第一接地層	950
第二接地層	940		



## 六、申請專利範圍

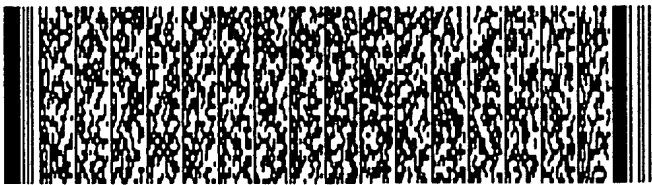
1. 一種消除高速數位電路串擾之差分對排佈方式，包括：
  - 一第一差分對，該第一差分對進一步由第一差分導線和第二差分導線組成；
  - 一第二差分對，該第二差分線進一步由第三差分導線和第四差分導線組成；其中，該第一差分對和第二差分對呈幾何多邊形排列，至少有一組差分對之差分導線係位於高速數位電路之不同佈線層。
2. 如申請專利範圍第1項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對和第二差分對所分佈高速數位電路之佈線層材質之介電常數 $\epsilon_r$ 相同。
3. 如申請專利範圍第2項所述消除高速數位電路串擾之差分對排佈方式，其中同一對差分對導線之線寬及厚度等物理特性均相同。
4. 如申請專利範圍第2項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對和第二差分對係呈四邊形排列。
5. 如申請專利範圍第2項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對和第二差分對係呈菱形排列。
6. 如申請專利範圍第1項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對和第二差分對所分佈高速數位電路之佈線層材質之介電常數 $\epsilon_r$ 不同。





## 六、申請專利範圍

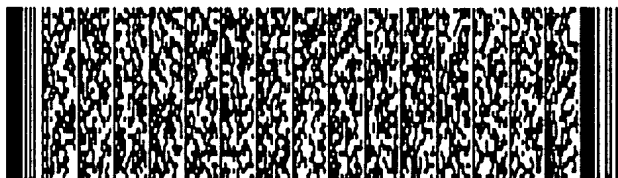
7. 如申請專利範圍第6項所述消除高速數位電路串擾之差分對排佈方式，其中分佈於不同佈線層之同一差分對之差分導線的線寬及厚度等物理特性不完全相同。
8. 如申請專利範圍第6項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對和第二差分對係呈倒置梯形排列。
9. 如申請專利範圍第6項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對和第二差分對係呈三角形排列。
10. 如申請專利範圍第6項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對和第二差分對係呈倒置之三角形排列。
11. 一種消除高速數位電路串擾差分對排佈方式，包括：
  - 一第一差分對，該第一差分對進一步由第一差分導線和第二差分導線組成；
  - 一第二差分對，該第二差分對進一步由第三差分導線和第四差分導線組成；
  - 一第一接地層；其中，該第一差分對和該第二差分對呈幾何多邊形排列，且同一組差分對之差分導線均係位於高速數位電路之相同佈線層，而該第一接地層與該第一差分對處於高速數位電路之不同佈線層，其係位於該第一差分對之第一差分導線與第二差分導線之正下方。
12. 如申請專利範圍第11項所述消除高速數位電路串擾之



## 六、申請專利範圍

差分對排佈方式，其中同一組差分對導線之線寬及厚度等物理特性均相同。

13. 如申請專利範圍第11項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對和第二差分對所分佈高速數位電路之佈線層材質之介電常數  $\epsilon_r$  相同。
14. 如申請專利範圍第13項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對與第二差分對呈矩形排列。
15. 如申請專利範圍第13項所述消除高速數位電路串擾之差分對排佈方式，其中該第二差分對與該第一接地層位於高速數位電路之不同佈線層。
16. 如申請專利範圍第13項所述消除高速數位電路串擾之差分對排佈方式，其中該第一接地層係位於第二差分對之導線之正上方。
17. 如申請專利範圍第11項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對和第二差分對所分佈之高速數位電路之佈線層材質之介電常數  $\epsilon_r$  不同。
18. 如申請專利範圍第17項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對和第二差分對係呈梯形排列。
19. 如申請專利範圍第18項所述消除高速數位電路串擾之差分對排佈方式，其中還進一步包括一第二接地層，該第二接地層係由兩部分組成。



## 六、申請專利範圍

20. 如申請專利範圍第18項所述消除高速數位電路串擾之差分對排佈方式，其中該第二接地層係與第二差分對分佈於高速數位電路之同一佈線層。
21. 如申請專利範圍第18項所述消除高速數位電路串擾之差分對排佈方式，其中該第二接地層之兩部分分別位於第一差分對之第一差分導線與第二差分導線之正上方。
22. 如申請專利範圍第17項所述消除高速數位電路串擾之差分對排佈方式，其中該第一差分對和第二差分對係呈平行四邊形排列。
23. 如申請專利範圍第22項所述消除高速數位電路串擾之差分對排佈方式，其中進一步包括一第二接地層，該第二接地層係與第一差分對位於高速數位電路之同一佈線層。
24. 如申請專利範圍第22項所述消除高速數位電路串擾之差分對排佈方式，其中該第二接地層係位於第二差分對之第三差分導線與第四差分導線之正上方。



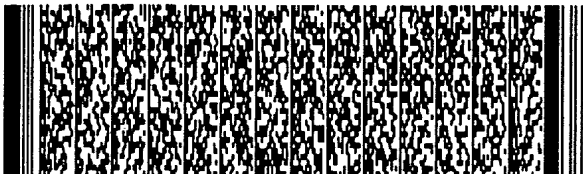
第 1/17 頁



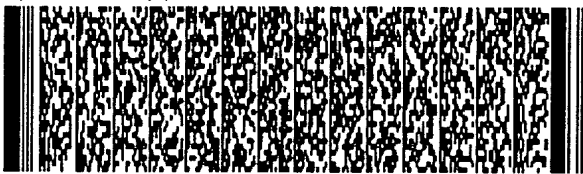
第 1/17 頁



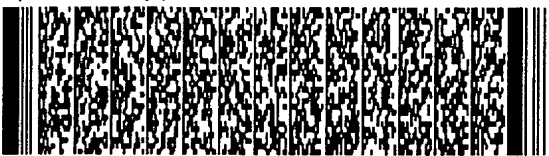
第 2/17 頁



第 2/17 頁



第 3/17 頁



第 4/17 頁



第 5/17 頁



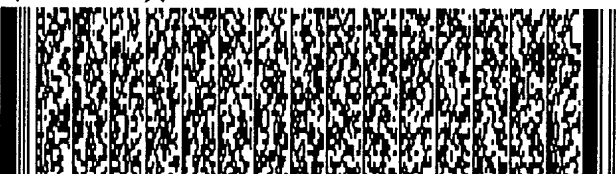
第 5/17 頁



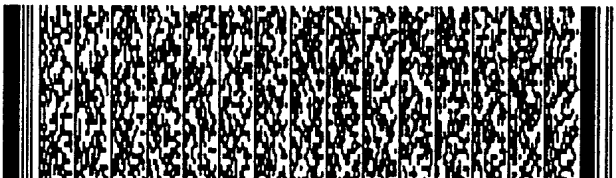
第 6/17 頁



第 6/17 頁



第 7/17 頁



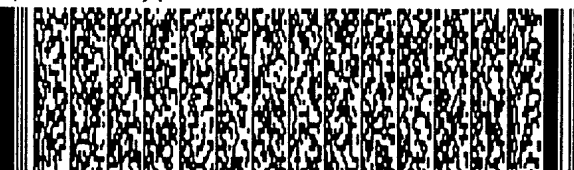
第 7/17 頁



第 8/17 頁



第 8/17 頁



第 9/17 頁



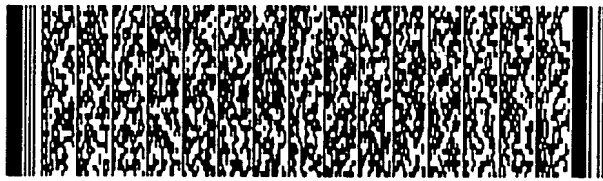
第 9/17 頁



第 10/17 頁



第 10/17 頁



第 11/17 頁



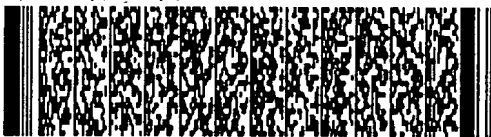
第 11/17 頁



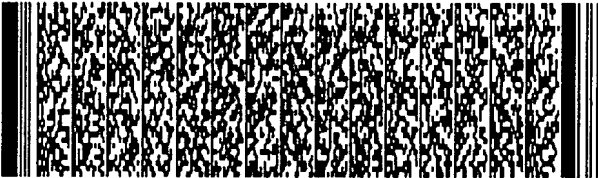
第 12/17 頁



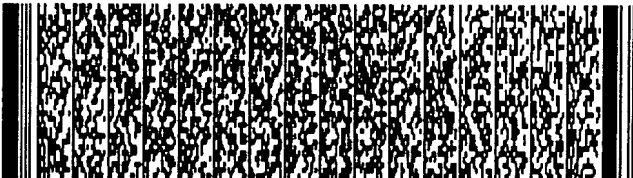
第 13/17 頁



第 14/17 頁



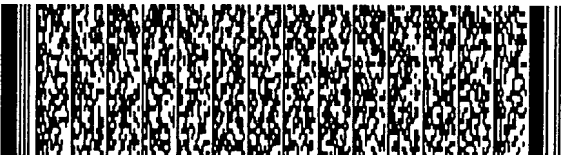
第 15/17 頁

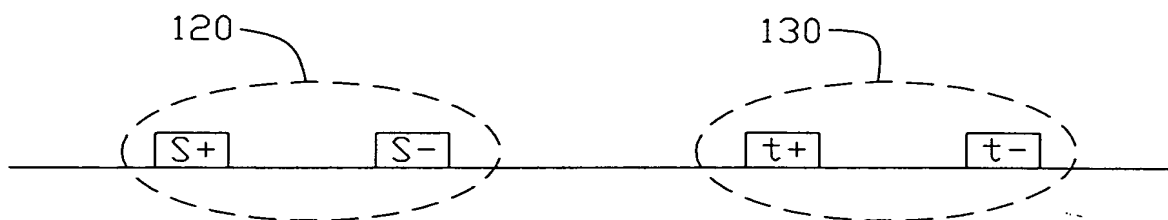


第 16/17 頁

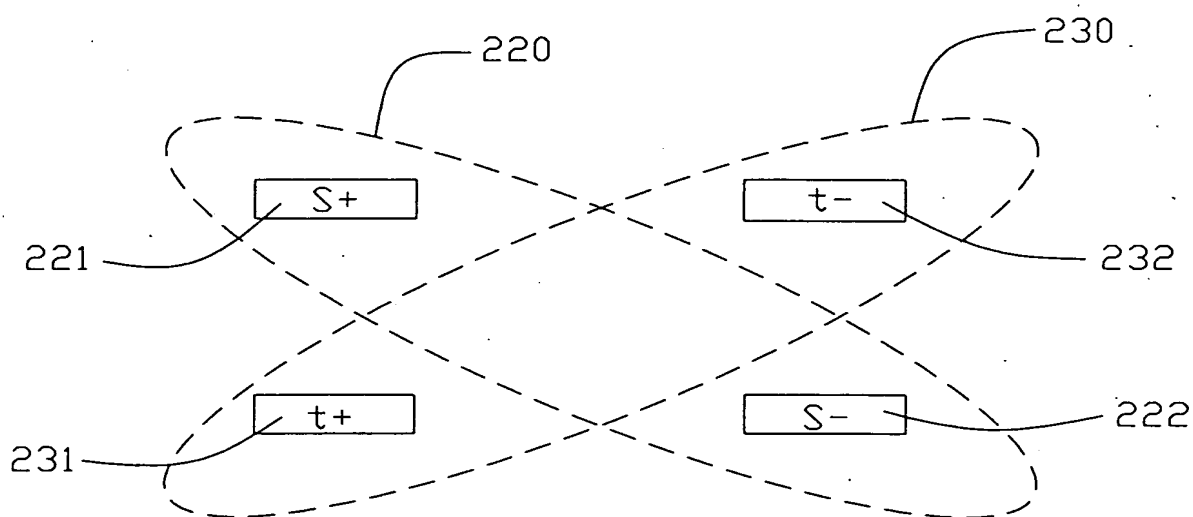


第 17/17 頁

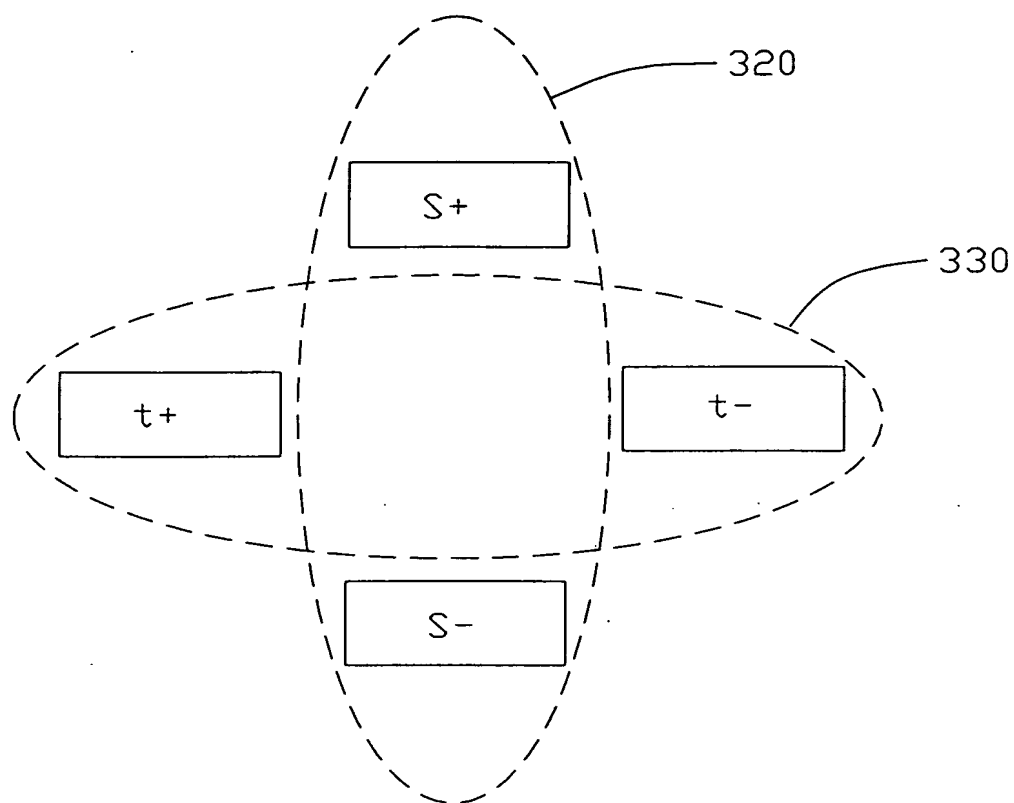




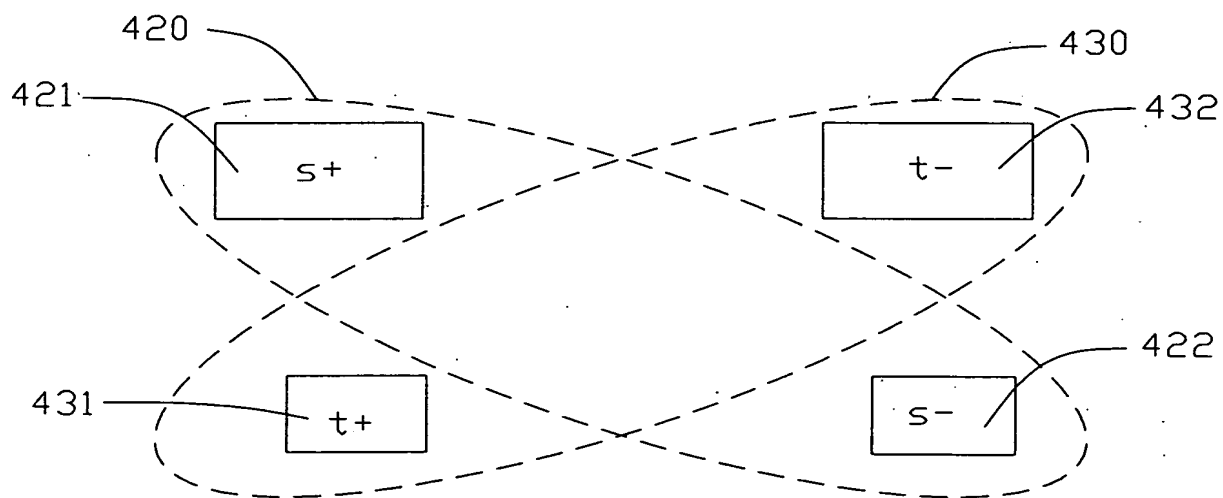
第一圖



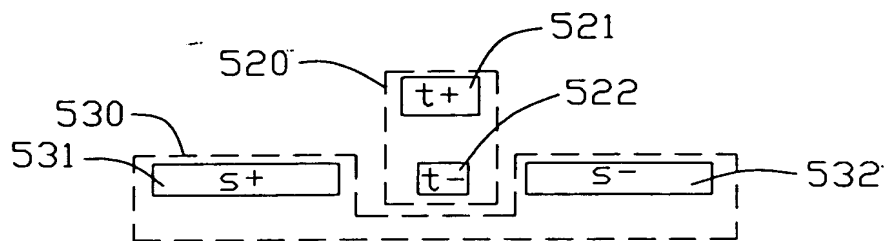
第二圖



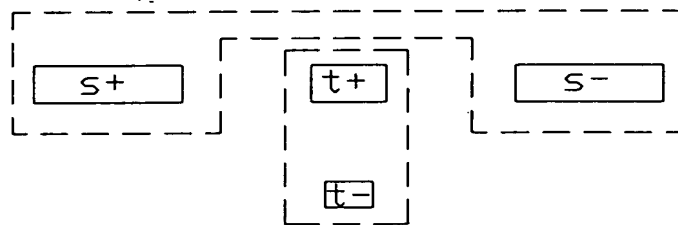
第三圖



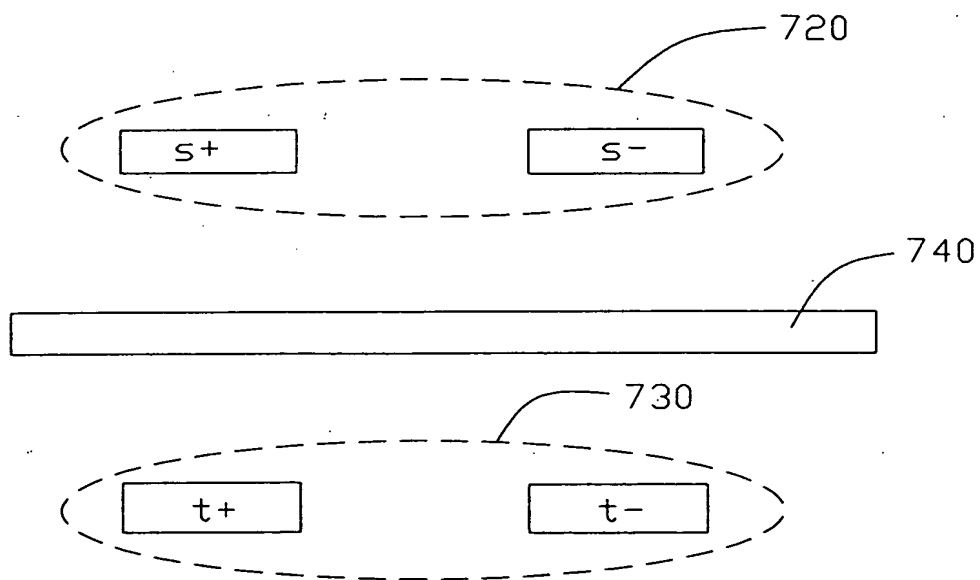
第四圖



第五圖

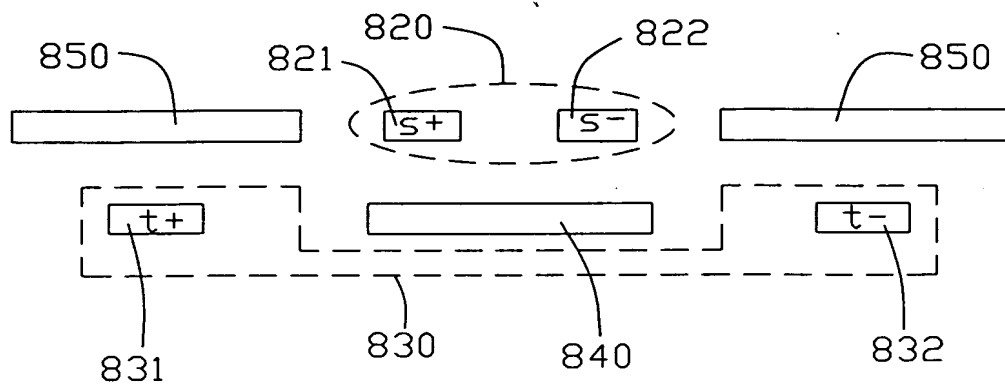


第六圖

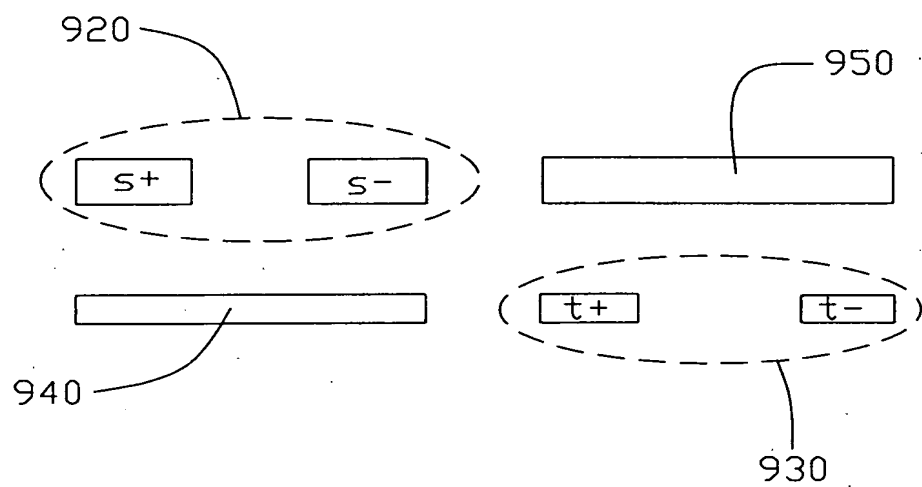


第七圖





第八圖



第九圖